

- 19. Japan Patent Office (JP)
  - 12. Laid-open Patent Application Gazette (A)
  - 11. Laid-open Patent Application No. Sho 61-137335
  - 43. Disclosure Date: June 25, 1986
- 

- 51. Int. Cl.<sup>4</sup>      ID Code      Agency Control No.  
H 01 L 21/60      6732-5F

Number of Inventions: 1  
Examination Not Requested Yet  
(Total 5 pages)

---

- 54. Invention Title: Semiconductor Device
  - 21. Application No. Sho 59-260141
  - 22. Application Date: December 10, 1984
  - 72. Inventor: Megumi [or Satoshi] Sakamaki, Toshiba Yokosuka Plant, 1-201-1 Funakoshi-cho, Yokosuka City
  - 71. Applicant: Toshiba, Inc., No. 72 Horikawa-cho, Saiwai-ku, Kawasaki City
  - 74. Representative: Takehiko Suzue, Patent Agent, and two others
- 

## SPECIFICATION

### 1. TITLE OF INVENTION

Semiconductor Device

### 2. CLAIMS

(1) A semiconductor device that mounts a semiconductor element with a wire bonding pad formed on its front on a flexible substrate and wire-connects a wire bonding pad formed on one face of the flexible substrate and said semiconductor element's wire bonding pad, wherein an aperture is provided in the flexible substrate penetrating from one face to the other face and facing said semiconductor element's wire bonding pad, said semiconductor element is mounted on said substrate's other face with said semiconductor element's wire bonding pad facing this aperture, and said wire passes through said aperture and connects both wire bonding pads.

(2) A semiconductor device according to claim 1, wherein said mounted semiconductor element on said flexible substrate is surrounded by a coating material and mold sealed.

### 3. DETAILED DESCRIPTION OF THE INVENTION

#### Technical Field of the Invention

The present invention pertains to a semiconductor device that mounts a semiconductor element on a substrate, and pertains to improvements in its mounting structure.

#### Technical Background of the Invention

Recently the smaller sizes and lighter weights of electronic devices has led to the frequent use of mixed integrated circuits (hybrid ICs). These mixed integrated circuits usually have a constitution wherein conductors or resistors or the like are formed on an insulated substrate, and semiconductor elements such as chip-type passive elements and active elements and the like that do not have lead wires are soldered to a conductor land on this substrate.

So-called flexible substrates that use a film such as a polyimide resin or the like as the aforesaid insulated substrate have a high degree of freedom in attachment to a device, so they are often used for small-sized electronic devices.

In the trend toward high-density mounting, using the semiconductor element as an example, packaging has changed from the dual inline type to the flat type, which is smaller and flatter, and in place of this there have been experiments with mounting a pair chip by direct wire bonding, which has contributed greatly to higher densities.

FIG. 4 and FIG. 5 show prior-art structures in which a pair chip is mounted on a flexible substrate and wire bonded. Item 40 is a flexible substrate consisting of polyimide resin, etc.; a conductor pattern 41 and a pad 42 for die bonding a semiconductor element (for example, IC pair chip 50) and a pad 43... for wire bonding are constituted on one of its faces in advance. A passivation film 52 is formed on the front of the aforesaid IC pair chip 50.

The IC pair chip 50 is glued (die bonded) to the aforesaid flexible substrate 40's pad 42 for die bonding, and a wire 53... is connected (bonded) between this IC pair chip 50's pad 51... for wire bonding and the aforesaid flexible substrate 40's pad 43... for wire

bonding. Subsequently the IC pair chip 50 and wire 53... are mold sealed by a coating material 54 such as an epoxy resin, etc.

Furthermore, FIG. 5 is a plan view showing the state before mold sealing, with the wire 53... omitted.

### Problems of Prior Art

The aforesaid sort of mounting structure mounts the IC pair chip 50 on one face of the flexible substrate 40, and has wire bonding on this one face, so it is known as a so-called face-up mounting structure.

Nevertheless, in this sort of mounting structure the IC pair chip 50 is mounted on one face of the flexible substrate 40 and it has wire bonding on this one face, so the height of the mold due to the epoxy resin 54 must be high, and it becomes large. Therefore flexibility of the substrate is likely to be impaired by the mold resin 54, and the advantage of the flexible substrate cannot be sufficiently realized.

In order to prevent this, the mold height  $h$  should be reduced, but the shape of the wire 53... must be a loop so there are limits to reducing mold height  $h$ .

Furthermore, as can be seen in FIG. 5's plan view, the pad 42 for die bonding is disposed in the center and the pad 43... for wire bonding is disposed at the periphery, so the degree of freedom in leading out wire 53... is minimal. Moreover, if ultrasonic bonding is used for wire bonding, it has the property that bonding strength is reduced according to the direction of bonding, and because of this directionality there are restrictions on the disposition of pad 43... for wire bonding. With a rigid substrate this decrease in strength can be ignored, but in the case of a flexible substrate the current situation is a tendency to minimize the aforesaid mold resin part, so high wire bonding strength is preferred. That is, a pad disposition that affects bonding strength is not desired. Therefore a degree of freedom in pad disposition is preferred.

### Object of the Invention

The present invention takes note of the aforesaid matters, so its object is to provide a semiconductor device that has a high degree of freedom in the disposition of the pads for wire bonding, and reduces the height of mold resin and increases flexibility.

### Summary of the Invention

In order to achieve the aforesaid object, the present invention provides an aperture in the flexible substrate penetrating from one face to the other face and facing the semiconductor element's wire bonding pad, the aforesaid semiconductor element is mounted on the substrate's other face in a face-down state with the aforesaid semiconductor element's wire bonding pad facing this aperture, and the aforesaid wire passes through the aforesaid aperture and connects both wire bonding pads.

### Embodiments of the Invention

Below, the present invention shall be explained based on the embodiment shown in FIG. 1 and FIG. 2.

In the drawings, 1 is a film-like flexible substrate of polyimide resin, etc. A conductor pattern 2 and a wire bonding pad 3 are formed on the surface of the flexible substrate 1 by a method such as etching a copper film. Item 4 is an IC pair chip 4. A passivation film 5 is formed on the front of the IC pair chip 4.

A plurality of apertures 7, penetrating from front to back in the aforesaid flexible substrate 1, is formed to face the aforesaid IC pair chip 4's wire bonding pad 6....

The IC pair chip 4 is attached to the flexible substrate 1 with the front of the aforesaid IC pair chip 4 facing the back of the flexible substrate 1 and the IC pair chip 4's wire bonding pad 6... facing the aperture 7 and. Furthermore, attachment may be performed using a suitable adhesive. In this manner the IC pair chip 4 is die bonded to the back of the flexible substrate 1 in a face-down posture.

The aforesaid flexible substrate 1's wire bonding pad 3... and the IC pair chip 4's wire bonding pad 6... are connected by a wire 8.... The wire 8... penetrates the aforesaid aperture 7...; one end is wire bonded to the substrate-side wire bonding pad 3... located at the front of the flexible substrate 1, and the other end is wire bonded to the wire bonding pad 6... of the IC pair chip 4 facing the aforesaid aperture 8... [sic].

Then the front side of the flexible substrate 1 and the back side of the IC pair chip 4 are respectively sealed by coating materials 9 and 10, which are epoxy resin, etc.

The embodiment semiconductor element thus constituted positions the flexible substrate 1's wire bonding pad 3... and the IC pair chip 4's wire bonding pad 6... near one another, and the wire 8... can have a length that is the depth of the aperture 7..., so the wire length can be shortened. Also, the IC pair chip 4's wire bonding pad 6 is surrounded by the aperture 7..., so when resin is molded or when the flexible substrate 1 is bent and deformed, the wire 8... does not experience excessive stress, and wire breaks and separation of the wire bonding area are unlikely to occur.

Also, as shown in FIG. 2, the flexible substrate 1's conductor pattern 2 is disposed on the face that is at the opposite side from the face where the IC pair chip 4 is attached. That is, in prior art the face where the IC pair chip 4 is attached and the conductor pattern 2 are on the same side, so the conductor pattern 2 must be positioned to avoid the IC pair chip 4 attachment face, and there are restrictions on the disposition of the conductor pattern 2. On the other hand, in the aforesaid embodiment the conductor pattern 2 can be provided on the face opposite where the IC pair chip 4 is mounted, so the degree of freedom in disposing the conductor pattern 2 increases. If the degree of freedom in leading out the conductor pattern 2 increases in this manner, it becomes possible to design the pattern at a location that avoids the effect of bonding strength direction dependency that accompanies wire bonding when thermosonic or ultrasonic bonding is used, and bonding strength increases, so defects such as separation, etc. can be prevented.

Furthermore, most of the wire 8... is positioned inside the aperture 7..., so little of it projects from the front of the substrate 1, and the height of the loop projecting from the front of the substrate 1 is also reduced. Therefore the height  $h$  of the resin mold 9 coating the front side of the substrate 1 can be reduced, and the resin mold 9 becomes thin, so there is less impairment of the flexibility of the substrate 1.

FIG. 3 shows another embodiment of the present invention, applied to a multi-layer film-like substrate. This case additionally increases the degree of freedom in leading out the conductor pattern 2 formed in each film-like substrate 20....

Also, the aforesaid embodiments showed examples in which IC pair chips, etc. were mold sealed using a coating material, but mold sealing does not always have to be done using this coating material.

### Effect of the Invention

The present invention, as described above, mounts a semiconductor element in a face-down state on the other face of a substrate with the semiconductor element's wire bonding pads facing apertures formed in the aforesaid flexible substrate, and passes wires through the aforesaid apertures to connect wire bonding pads on the flexible substrate side and the semiconductor element's wire bonding pads, so the wire length can be shortened and it can be disposed inside the aforesaid apertures, which reduces stress on the wire and prevents wire breaks. In addition, the wire bonding pads provided on one face of the flexible substrate can be disposed on the face opposite where the semiconductor element is mounted, and the degree of freedom in disposition becomes great. Moreover, the wire does not project much from one face of the flexible substrate, and the height of the mold resin can be reduced, which improves flexibility of the flexible substrate and confers other advantages as well.

#### 4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 and FIG. 2 show one embodiment of the present invention. FIG. 1 is a sectional view and FIG. 2 is a plan view showing the front side. FIG. 3 is a sectional view showing another embodiment of the present invention. FIG. 4 and FIG. 5 show prior-art structures. FIG. 4 is a sectional view and FIG. 5 is a plan view showing the front side.

- 1 Substrate
- 2 Conductor pattern
- 3 Wire bonding pad
- 4 IC pair chip (semiconductor element)
- 6 Wire bonding pad
- 7 Aperture
- 8 Aperture [sic]
- 9,10 Coating material (resin mold)

Representative: Takehiko Suzue, Patent Agent

FIG. 1

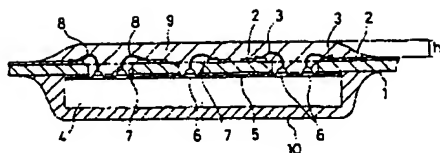


FIG. 2

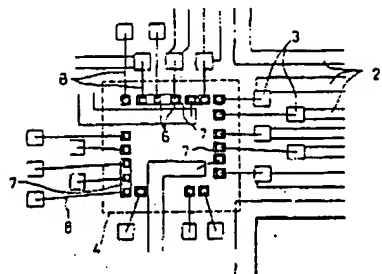


FIG. 3

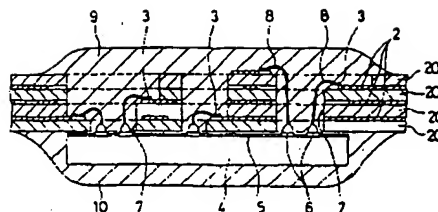


FIG. 4

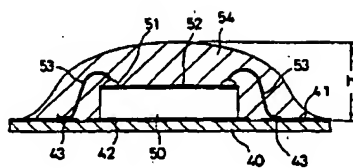
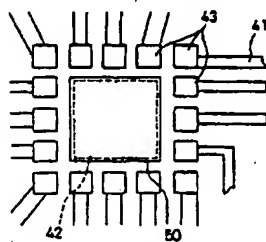


FIG. 5



⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-137335

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)6月25日

H 01 L 21/60

6732-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-260141

⑰ 出 願 昭59(1984)12月10日

⑱ 発 明 者 坂 巻 恵 横須賀市船越町1丁目201番地1 株式会社東芝横須賀工場内

⑲ 出 願 人 株式会社東芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 表面にワイヤーボンディング用パッドを形成した半導体素子をフレキシブル基板に実装し、フレキシブル基板の一側面に形成したワイヤーボンディング用パッドと上記半導体素子のワイヤーボンディング用パッドとをワイヤーにより接続する半導体装置において、上記半導体素子のワイヤーボンディング用パッドに対向してフレキシブル基板に一側面から他側面に貫通する開口部を設け、この開口部に上記半導体素子のワイヤーボンディング用パッドを臨ませて該半導体素子を上記基板の他側面に装着し、上記ワイヤーを上記開口部を挿通して両ワイヤーボンディング用パッドの間に接続したことを特徴とする半導体装置。

(2) 上記フレキシブル基板に、上記装着された半導体素子を包囲してコーティング材にてモールド封止してなることを特徴とする特許請求の範囲

図第1項記載の半導体装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体素子を基板に実装した半導体装置に係り、その実装構造の改良に関する。

(発明の技術的背景)

近時、電子機器の小形、軽量化に伴い、混成集積回路(ハイブリッドIC)が多く使用されるようになってきた。この混成集積回路は、一般に、絶縁基板に導体や抵抗等を形成し、この基板の上記導体ランドに、リード線のないチップタイプの受動素子や能動素子等の半導体素子を半田付けして構成されている。

上記絶縁基板としてポリイミド樹脂などのフィルムを用いた、いわゆるフレキシブル基板は、機器に対する取付けの自由度が高いため、小形の電子機器に多用されている。

高密度実装の傾向としては、半導体素子を例にとると、パッケージングがデュアルインライン型からフラットタイプへと小形、薄形に代わってき



ているが、さらにこれに代わってベアチップを直接ワイヤーボンディングによって実装することが試みられ、高密度化に大きく寄与している。

第4図および第5図に従来の、フレキシブル基板にベアチップをマウントし、ワイヤーボンディングした構造を示す。40はポリイミド樹脂などよりなるフレキシブル基板であり、その一側面に予め、導体パターン41、半導体素子例えばICベアチップ50のダイボンディング用パッド42およびワイヤーボンディング用パッド43…を構成してある。上記ICベアチップ50は、その表面にパッシベーション膜52を形成してある。

上記フレキシブル基板40のダイボンディング用パッド42にICベアチップ50を接着(ダイボンディング)し、このICベアチップ50のワイヤーボンディング用パッド51…と上記フレキシブル基板40のワイヤーボンディング用パッド43…の間にワイヤー53…を接続(ボンディング)する。この後、ICベアチップ50およびワイヤー53…をエポキシ樹脂などのコーティング材54によりモールド封止

する。

なお、第5図はモールド封止前の状態を示す平面図であり、ワイヤー53…を省略してある。

#### (背景技術の問題点)

上記のような実装構造は、フレキシブル基板40の一側面にICベアチップ50がマウントされ、かつこの一側面側でワイヤーボンディングされているので、いわゆるフェイスアップ実装構造と称されている。

しかしながら、このような構造によると、フレキシブル基板40の一側面にICベアチップ50がマウントされ、かつこの一側面側でワイヤーボンディングされているので、エポキシ樹脂54によるモールド高さhが必然的に高くなり、かつ大形化する。このため基板の可撓性がモールド樹脂54によって阻害され易くなり、フレキシブル基板の利点が十分に生かしきれない。

これを防止するためには、モールド高さを小さくすればよいが、ワイヤー53…の形状をループ形にする限りにおいてはモールド高さを小さく

するのには限界がある。

また、第5図の平面図より判るように、中央にダイボンディング用パッド42が配置されるとともに、周囲にワイヤーボンディング用パッド43…が配置されるため、ワイヤー53…の引き回しの自由度が小さい。しかも、ワイヤーボンディングに、超音波ボンディングを採用した場合には、そのボンディングの方向によってボンディング強度が低下するという性質があり、この方向性のためワイヤーボンディング用パッド43…の配置が制約を受ける。リジッド基板ではこの強度低下は無視できるが、フレキシブル基板の場合、上記モールド樹脂部を小さくしたい方向にある現状下では、ワイヤーやボンディング強度は大きい方が望ましい。すなわち、ボンディング強度に影響を及ぼすようなパッドの配置は好ましくない。したがってパッドの配置に自由度が望まれる。

#### (発明の目的)

本発明は上記の事情に着目してなされたもので、その目的とするのは、ワイヤーボンディング用パ

ッドの配置の自由度が高くなるとともに、モールド樹脂の高さを小さくできて可撓性を向上させることができる半導体装置を提供しようとするものである。

#### (発明の概要)

本発明は上記目的を達成するため、半導体素子のワイヤーボンディング用パッドに対向してフレキシブル基板に一側面から他側面に貫通する開口部を設け、この開口部に上記半導体素子のワイヤーボンディング用パッドを臨ませて該半導体素子を上記基板の他側面にフェイスダウンの状態で実装し、上記ワイヤーを上記開口部を挿通して両ワイヤーボンディング用パッドの間に接続するようにしたことを特徴とする。

#### (発明の実施例)

以下本発明を、第1図および第2図に示す一実施例にもとづき説明する。

図において1はポリイミド樹脂などのフィルム状フレキシブル基板であり、このフレキシブル基板1の表面には、導体パターン2…およびワイヤ

ーボンディング用パッド3…が銅箔のエッチングなどの方法により形成されている。また、4はICペアチップ4であり、このICペアチップ4の表面にはパッシベーション膜5が形成されている。

上記フレキシブル基板1には、上記ICペアチップ4のワイヤーボンディング用パッド6…に対向して表面から裏面に貫通する複数個の開口部7が形成されている。

このようなフレキシブル基板1の裏面に、上記ICペアチップ4の表面を対向させ、ICペアチップ4のワイヤーボンディング用パッド6…を開口部7に臨ませてICペアチップ4をフレキシブル基板1に取付ける。なお、この取付けは、適宜の接着剤により行なえばよい。これによりICペアチップ4はフレキシブル基板1の裏面にフェイスダウンの姿勢でダイボンディングされる。

上記フレキシブル基板1のワイヤーボンディング用パッド3…と、ICペアチップ4のワイヤーボンディング用パッド6…の間は、ワイヤー8…

により接続されている。ワイヤー8…は上記開口部7…を穿通され、その一端はフレキシブル基板1の表面に位置する基板側ワイヤーボンディング用パッド3…にワイヤーボンディングされているとともに、他端は上記開口部8…に臨んでいるICペアチップ4のワイヤーボンディング用パッド6…にワイヤーボンディングされている。

そして、フレキシブル基板1の表面側およびICペアチップ4の裏面側はそれぞれエポキシ樹脂などのコーティング材9、10により封止されている。

このようにして構成された実施例の半導体装置は、フレキシブル基板1のワイヤーボンディング用パッド3…と、ICペアチップ4のワイヤーボンディング用パッド6…の距離を近接させることができ、かつワイヤー8…は開口部7…の深さの長さでよいので、ワイヤー長さを短くすることができる。そして、ICペアチップ4のワイヤーボンディング用パッド6が開口部7…により囲まれているので、樹脂モールドを行う場合あるいはフ

レキシブル基板1の湾曲変形時にワイヤー8…に無理な応力が発生せず、ワイヤーの断線やワイヤーボンディング部分の剥離を生じない。

また、第2図に示すように、フレキシブル基板1の導体パターン2…はICペアチップ4の取付け面とは反対側の面に配置される。つまり従来では、ICペアチップ4の取付け面と、導体パターン2…が同一面側にあったため、導体パターン2はICペアチップ4の取付け面を避けた位置に設けなければならず、導体パターン2の配置に制約があった。これに対し、上記実施例では導体パターン2…をICペアチップ4実施部の反対面にも設けることができるので、導体パターン2…の配置の自由度が増す。このように、導体パターン2…の引き回しの自由度が増すと、サーモソニックあるいは超音波ボンディング法を採用した場合にワイヤーボンディングに伴うボンディング強度の方向依存性の影響を回避する位置にパターン設計を行うことが可能となり、ボンディング強度が向上するので、剥離等の不具合も防止できる。

さらに、ワイヤー8…の大部分が開口部7…の内部に位置するので、基板1の表面から突出する量が少なく、基板1の表面から突出するループ高さも小さくなる。このため、基板1の表面側にコーティングされる樹脂モールド9の高さhも低くて済み、樹脂モールド9が薄形となるから基板1のフレキシビリティを損うことが軽減される。

第3図は本発明の他の実施例を示し、多層フィルム状基板への応用を示す。この場合には各フィルム状基板20…に形成される導体パターン2…の引き回しの自由度がさらに増す。

また、上記各実施例においては、コーティング材によりICペアチップなどをモールド封止した例を示したが、このコーティング材によるモールド封止は必ずしも必要としない。

(発明の効果)

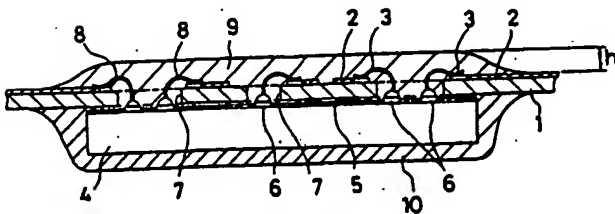
以上説明したように本発明によると、フレキシブル基板に形成した開口部に、半導体素子のワイヤーボンディング用パッドを臨ませて該半導体素子を上記基板の他側面にフェイスダウンの状態に

接着し、ワイヤーを上記開口部を挿通してフレキシブル基板側のワイヤーボンディング用パッドと半導体系子のワイヤーボンディング用パッドの間に接続するようにしたから、ワイヤーは長さが短縮されるとともに、上記開口部内に配置されることになってワイヤーに発生する応力を軽減することが出来、ワイヤーの断線が防止される。さらに、フレキシブル基板の一側面に設けられるワイヤボンディング用パッドは、半導体系子の実装部の対向面に配置することができ配置の自由度が高くなる。しかもワイヤーがフレキシブル基板の一側面側の大きく突出しなくなり、モールド樹脂の高さを小さくできてフレキシブル基板の可撓性を向上させることができる、などの利点がある。

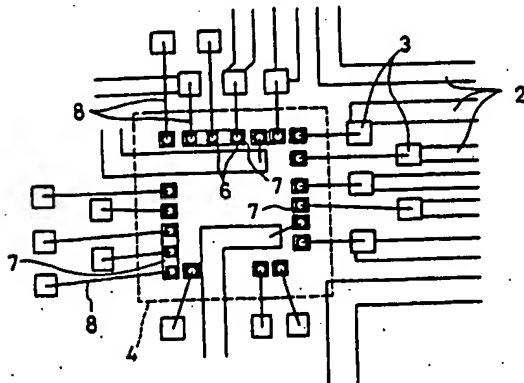
#### 4. 図面の簡単な説明

第1図および第2図は本発明の一実施例を示し、第1図は断面図、第2図は表面側を示す平面図、第3図は本発明の他の実施例を示す断面図、第4図および第5図は従来の構造を示し、第6図は断面図、第7図は表面側を示す平面図である。

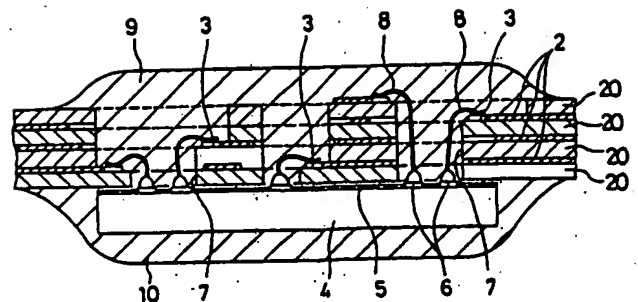
第1図



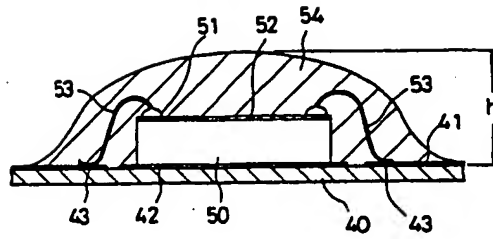
第2図



第3図



第 4 図



第 5 図

